

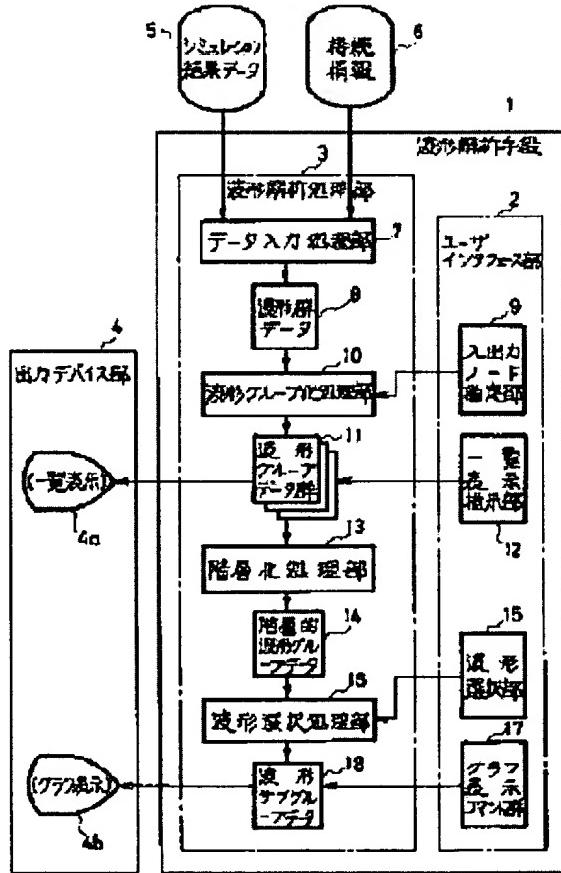
ELECTRONIC CIRCUIT WAVEFORM ANALYZING DEVICE

Patent number: JP5151304
Publication date: 1993-06-18
Inventor: SAITO TOSHIYUKI
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: G01R31/28; G06F11/22; G01R31/28; G06F11/22;
 (IPC1-7): G01R31/28; G06F11/22; G06F15/60
 - european:
Application number: JP19910314930 19911128
Priority number(s): JP19910314930 19911128

[Report a data error here](#)

Abstract of JP5151304

PURPOSE: To reduce an analytic manhour of simulation result data. **CONSTITUTION:** With regard to waveform group data 8 generated by simulation result data 5 and connecting information 6, a waveform analyzing means 1 generates automatically a waveform group data group 11, by a waveform grouping processing part 10 and displays it as a table. Also, by a hierarchization processing part 13, hierarchical waveform group data 14 is generated, and by a waveform selection processing part 16, waveform subgroup data 18 is generated and they are subjected to graph display in a lump, and an analysis is executed. In such a way, from among simulation result data of an electronic circuit being a largescale circuit, a waveform in an arbitrary circuit block is grouped and can be analyzed, and the analytic manhour can be reduced.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-151304

(43)公開日 平成5年(1993)6月18日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 15/60	3 6 0 D	7922-5L		
G 01 R 31/28				
G 06 F 11/22	3 1 0 N	9290-5B		
	3 3 0 B	9290-5B		
		6912-2G	G 01 R 31/28	F
			審査請求 未請求 請求項の数1(全9頁)	

(21)出願番号	特願平3-314930	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)11月28日	(72)発明者	齋藤 敏幸 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 井出 直孝

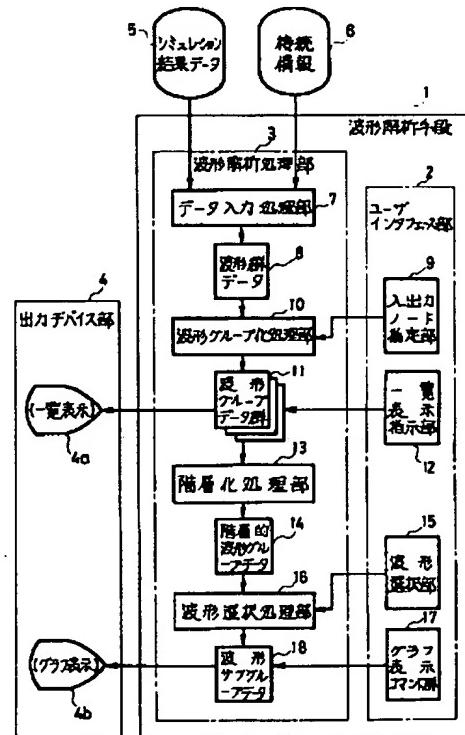
(54)【発明の名称】 電子回路波形解析装置

(57)【要約】

【目的】 シミュレーション結果データの解析工数の低減化を図る。

【構成】 波形解析手段1は、シミュレーション結果データ5と接続情報6により作成された波形群データ8について、波形グループ化処理部10により自動的に波形グループデータ群11を作成し一覧表示し、さらに、階層化処理部13により階層的波形グループデータ14を作成し、波形選択処理部16により波形サブグループデータ18を作成し一括してグラフ表示し解析を行う。

【効果】 大規模回路の電子回路シミュレーション結果データのなかから、任意の回路ブロック内の波形をグループ化して解析でき、解析工数を低減できる。



【特許請求の範囲】

【請求項1】 電子回路の接続情報と、この接続情報に基づいて行われ節点電圧波形群および枝電流波形群を含むシミュレーション結果データとを入力し、任意の回路ブロックの波形を選択表示し解析を行う波形解析手段を備えた電子回路波形解析装置において、

前記波形解析手段は、

指定された回路上の任意の節点と電源および接地とで囲まれたすべての節点電圧波形ならびに枝電流波形を自動的にグループ化し波形グループデータ群を生成する波形グループ化処理手段と、

前記波形グループデータ群を回路図の構造に従ってさらにサブグループデータに分割し構造的波形グループデータを生成する構造化処理手段と、

指定された前記波形グループデータ群または前記構造的波形グループデータに対して一括して表示および解析を行う波形選択解析処理手段とを含むことを特徴とする電子回路波形解析装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子回路の電気的特性を計算機上でシミュレートする回路シミュレーションを利用され、特に、シミュレーション結果の電気的特性を波形データとして解析するための電子回路波形解析装置を利用する。

【0002】

【従来の技術】LSI(大規模集積回路)の回路設計において、電子回路シミュレーションによって対象回路の電気的特性を解析することは、特に、アナログ系を含む回路設計においては、不可欠の技術である。

【0003】従来、回路シミュレーション結果を解析する電子回路波形解析装置としては、図6に示す従来例(1)、および図7に示す従来例(2)の二つが典型的であった。

【0004】図6は、回路シミュレータ22によって得られたシミュレーション結果データ5を波形解析手段23内の波形表示処理部24により、単純にビットマップディスプレーからなる計算機の表示器4bの画面にグラフ表示するものであり、使用者はシステムに組み込まれたグラフ表示コマンド群17でシミュレーション結果データ5内の波形を選択したり、グラフのスケールを変更したりできる。

【0005】一方、図7は、波形解析手段25内で、回路図エディタ26により対象回路を図形的に表示しておき、出力変数指定部27により、回路図上に出力変数の指定を行い、指定された変数に対応する節点や枝の情報をプロセス間通信データ28として、波形表示処理部24に転送し、この波形表示処理部24が、回路シミュレータ22によりシミュレートされたシミュレーション結果データ5より、グラフ表示コマンド群17の指示によ

り回路図上に指定された出力変数の波形情報を取り出し、ビットマップディスプレーからなる計算機の表示器4bの画面上にグラフ表示するものである。図6の従来例(1)の場合に比べ、図7の従来例(2)は、回路図上に出力変数を指定できるため、グラフ表示された波形の識別が行いやすいが、回路図エディタ26とグラフ表示コマンド群17とが同期しながら動作する必要がある。また、図7の場合も、表示したグラフのスケール変更や、波形に対する簡単な演算機能に関するコマンド入力がグラフ表示コマンド群17によりできるのが普通である。

【0006】

【発明が解決しようとする課題】前述の従来の電子回路波形解析装置では、解析したい波形をすべて、人手で指定する必要があるため、小規模回路のときはよいが、大規模回路のシミュレーション結果を解析する際には、必要な波形を表示するための手間が多く発生する欠点があった。従来は、回路シミュレーション自体それほど大規模な回路を扱うことは少なかったが、最近では、計算機ハードウェアの進歩、およびシミュレーションアルゴリズムの進歩により、数万トランジスタ程度の回路シミュレーションも行われるようになってきた。通常、電子回路の節点数は、トランジスタ数の1/2~1/3であるため、例えば、1万トランジスタ程度の回路には、3000個程度の節点が存在するため、これらの中から必要な波形を選択することは大変な作業となり、解析工数を増加させる欠点があった。

【0007】また、図7のように、回路図上で出力変数を選択する方式は、回路図の階層構造を持たない場合は有効である。しかし、大規模な回路図は階層的に作成されることが普通であり、特定の階層の回路ブロックの内部状態を表示するには、最上階層から順に階層をたどって指定する必要があった。従って、階層をまたがって波形表示するためには、図6の方式よりもかえって作業が煩雑になり、解析工数を増加させる欠点があった。

【0008】本発明の目的は、前記の欠点を除去することにより、大規模回路の電子シミュレーション結果データのなかから、必要とする回路ブロック内の波形データを簡単に選択してグラフ表示し解析でき、解析工数を減らせる電子回路波形解析装置を提供することにある。

【0009】

【課題を解決するための手段】本発明は、電子回路の接続情報と、この接続情報に基づいて行われ節点電圧波形群および枝電流波形群を含むシミュレーション結果データとを入力し、任意の回路ブロックの波形を選択表示し解析を行う波形解析手段を備えた電子回路波形解析装置において、前記波形解析手段は、指定された回路上の任意の節点と電源および接地とで囲まれたすべての節点電圧波形ならびに枝電流波形を自動的にグループ化し波形グループデータ群を生成する波形グループ化処理手段

と、前記波形グループデータ群を回路図の構造に従ってさらにサブグループデータに分割し構造的波形グループデータを生成する構造化処理手段と、指定された前記波形グループデータ群または前記構造的波形グループデータに対して一括して表示および解析を行う波形選択解析処理手段とを含むことを特徴とする。

【0010】

【作用】波形グループ化処理手段は、回路図内の主要な節点だけを指定するだけで、それら節点と電源、接地で囲まれた関連する節点電圧波形および枝電流波形を自動的にグループ化し、波形グループデータ群を作成し一覧表示する。そして、構造化処理手段は、さらに、グループ化された波形群を対象回路の接続情報に従って階層的または出力変数別にサブグループ化し、波形選択解析手段は、各グループ波形データあるいはサブグループ波形データを一括してグループ表示し解析を行う。

【0011】従って、大規模回路の電子シミュレーション結果データのなかから、必要とする回路ブロック内の波形データを簡単に選択してグラフ表示し解析することができ、解析工数を低減することが可能となる。

【0012】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0013】図1は本発明の第一実施例の要部を示すブロック構成図である。

【0014】本第一実施例は、電子回路の接続情報6と、この接続情報6に基づいて行われる節点電圧波形群および枝電流波形群を含むシミュレーション結果データ5とを入力し波形群データ8を作成するデータ入力処理部7を含み、任意の回路ブロックの波形を選択表示し解析を行う波形解析手段1と、表示器4aおよび4bを含む出力デバイス部4とを備えた電子回路波形解析装置において、本発明の特徴とするところの、波形解析手段1は、入出力ノード指定部9により指定された回路上の任意の節点と電源および接地とで囲まれたすべての節点電圧波形ならびに枝電流波形を自動的にグループ化し波形グループデータ群11を生成する波形グループ化処理手段としての波形グループ化処理部10と、波形グループデータ群11を回路図の階層構造に従ってさらにサブグループに分割し階層的波形グループデータ14を生成し、一覧表示指示部12の指示により出力デバイス部4内の表示器4aに一覧表示する構造化処理手段としての階層化処理部13と、波形選択部15により指定された波形グループデータ群11または階層的波形グループデータ14に対して波形サブグループデータ18を作成し、グラフ表示コマンド群17の指示により一括して表示器4bにグラフ表示し解析を行う波形選択解析処理手段としての波形選択処理部16とを含んでいる。

【0015】なお、ここで、データ入力処理部7、波形グループ化処理部10、階層化処理部13、および波形

選択処理部16は波形解析処理部3を構成し、入出力ノード指定部9、一覧表示指示部12、波形選択部15、およびグラフ表示コマンド群17はユーザインタフェース部2を構成し、利用者によりそれらのデータが入力される。

【0016】次に、本第一実施例の動作の概要について図2に示す流れ図を参照して説明する。

【0017】図外の回路シミュレータより得られたシミュレーション結果データ5および接続情報6は、データ入力処理部7によって、階層的に関係づけられた波形データ8に変換され(ステップS1)、入出力ノード指定部9で指定された任意のノードごとに波形グループ化処理部10により、これら入出力ノードと電源、接地とで囲まれた回路内の波形群にグループ化され、波形グループデータ群11が作成される。そして、一覧表示指示部12の指示により、波形グループデータ群11ごとに含まれる波形の一覧表を表示器4aに表示する(ステップS2)。各波形グループデータは、階層化処理部13により、回路接続上の階層構造に従って階層的波形グループデータ14に変換される(ステップS3)。波形選択部15は、このようにして得られた階層的波形グループデータ14より、必要な波形のみを選択して、波形選択処理部16により波形サブグループデータ18を作り、一方、グラフ表示コマンド群17は、任意の波形サブグループデータ18ごとに、グラフ表示やスケール変更等を行う(ステップS4)。

【0018】次に、波形グループ化処理部10における処理についてさらに詳しく説明する。いま、回路図内に図3(a)に示すようなD型フリップフロップ回路が存在したとし、入力ノードINおよび出力ノードOUTで囲まれた回路内の波形データをグループ化することを考える。

【0019】この場合、ノードINより隣接する素子に接続する電源VDDおよび接地GND以外のノードを順にたどって行き、ノードOUTがみつかった隣接数と同じ隣接数をもつノード群が、一つのグループとして定義できる。ここで、隣接数とは、あるノードから別のノードまでを接続する最小の素子数として定義する。

【0020】図3(b)は、図3(a)の回路ブロックの入出力ノードおよび電源と隣接数との対応表30を示す説明図である。図3の例は、回路ブロック中にフィードバックループのない場合であるが、前述の波形グループ化処理部10は、フィードバックループのある場合にも容易に適用できる。

【0021】図4(a)は、CMOS演算増幅器からなる回路ブロックを示し、図4(b)は、その入力ノードIN1およびIN2、ならびに出力ノードOUTで囲まれた回路の入出力ノードおよび電源と隣接数との対応表31を示す説明図である。この場合、隣接数3で入力ノードから出力ノードまでの全ノードが網羅されており、

これらのノードに関する波形データ群から、重複した波形データを取り除けば、一つの波形グループデータ群11が形成できる。

【0022】前述の波形グループデータは、回路上の任意の部分回路に対して適用できる。ただし、部分回路自身が階層をもつ場合、一つの波形グループデータに部分回路以下の全階層の波形が割り当てられるため、図1階層化処理部13により、グループ化された波形グループデータ群11を接続情報の階層に従ってサブグループ化し、階層的波形グループデータ14を形成させる。一たんこのように波形のグループ化、および階層的サブグループ化をしてしまうと、図1の波形選択部15あるいはグラフ表示コマンド群17は、各グループ、サブグループ単位で処理できる。このため、大規模回路のシミュレーション結果データも簡単に解析が可能である。

【0023】図5は本発明の第二実施例の要部を示すブロック構成図で、波形解析処理部を示す。本第二実施例では、入力となる接続情報6aは図に示すように、それぞれ回路定数の異なる同一の部分回路(X1、X2、…、XN)が複数個接続されているものとする。

【0024】本第二実施例の波形解析処理部3は、図1の第一実施例の波形解析処理部3において、構造化処理手段として、階層化処理部13に代えて、本発明の特徴とするところの、出力変数別波形グループデータ群21を作成する波形ソート処理部20を設けたものである。

【0025】次に、本第二実施例の動作について主に第一実施例と異なる点について説明する。

【0026】部分回路ごとに第一実施例と同様に波形グループ化処理部10で波形グループデータ群11を作成した後、波形ソート処理部20により、各波形グループ内の同一のノード、あるいは枝に対応する波形のみを集めて、新たな、出力変数別波形グループデータ群21を作成する。これらの出力変数別波形グループデータ群21は、第一実施例と同様に、波形選択部15およびグラフ表示コマンド群17により一括に解析可能である。

【0027】回路設計においては、特定の回路ブロックに対し、素子パラメータや、回路構成などを変化させた複数のシミュレーションを繰り返し行って回路性能を確認することが必須であるが、本第二実施例によれば、このような繰り返しシミュレーションに伴う波形解析の手間は、1回のシミュレーションに要する手間とほとんど同じとなる利点がある。

【0028】

【発明の効果】以上説明したように、本発明は、回路図上の主要な入出力ノードを与えることにより、それら入出力ノードと電源、接地などで囲まれる回路内の回路シミュレーション波形を自動的にグループ化することができる、大規模な回路のシミュレーション結果解析や、回路パラメータを変化させた多数のシミュレーション結果データの解析に要する工数が低減できる効果がある。

【0029】従来の技術では、波形解析に要する手間は、回路規模およびシミュレーションの繰り返し回数にほぼ比例して増加するが、本発明によれば、全体回路に含まれる階層的な部分回路ブロックの数に比例し、シミュレーションの繰り返し回数にはあまり依存しない。例えば、メガビットクラスのメモリチップの回路設計では、100素子程度の部分回路ブロックが20～200個からなる2000～20000素子の回路シミュレーションを数回繰り返して、回路性能の最適化が行われている。従って、本発明によれば、波形解析に要する手間は、従来の約数10分の1に削減されると見積もられ、その効果は大である。

【図面の簡単な説明】

【図1】本発明の第一実施例の要部を示すブロック構成図。

【図2】その動作を示す流れ図。

【図3】その適用回路例(1)を示す回路図およびその対応表を示す説明図。

【図4】その適用回路例(2)を示す回路図およびその対応表を示す説明図。

【図5】本発明の第二実施例の要部を示すブロック構成図。

【図6】従来例(1)の要部を示すブロック構成図。

【図7】従来例(2)の要部を示すブロック構成図。

【符号の説明】

- | | |
|---------|-----------------|
| 1、23、25 | 波形解析手段 |
| 2 | ユーザインターフェース部 |
| 3、19 | 波形解析処理部 |
| 4 | 出力デバイス部 |
| 4a、4b | 表示器 |
| 5 | シミュレーション結果データ |
| 6、6a | 接続情報 |
| 7 | データ入力処理部 |
| 8 | 波形群データ |
| 9 | 入出力ノード指定部 |
| 10 | 波形グループ化処理部 |
| 11 | 波形グループデータ群 |
| 12 | 一覧表示指示部 |
| 13 | 階層化処理部 |
| 14 | 階層的波形グループデータ |
| 15 | 波形選択部 |
| 16 | 波形選択処理部 |
| 17 | グラフ表示コマンド群 |
| 18 | 波形サブグループデータ |
| 20 | 波形ソート処理部 |
| 21 | 出力変数別波形グループデータ群 |
| 22 | 回路シミュレータ |
| 24 | 波形表示処理部 |
| 26 | 回路図エディタ |
| 50 27 | 出力変数指定部 |

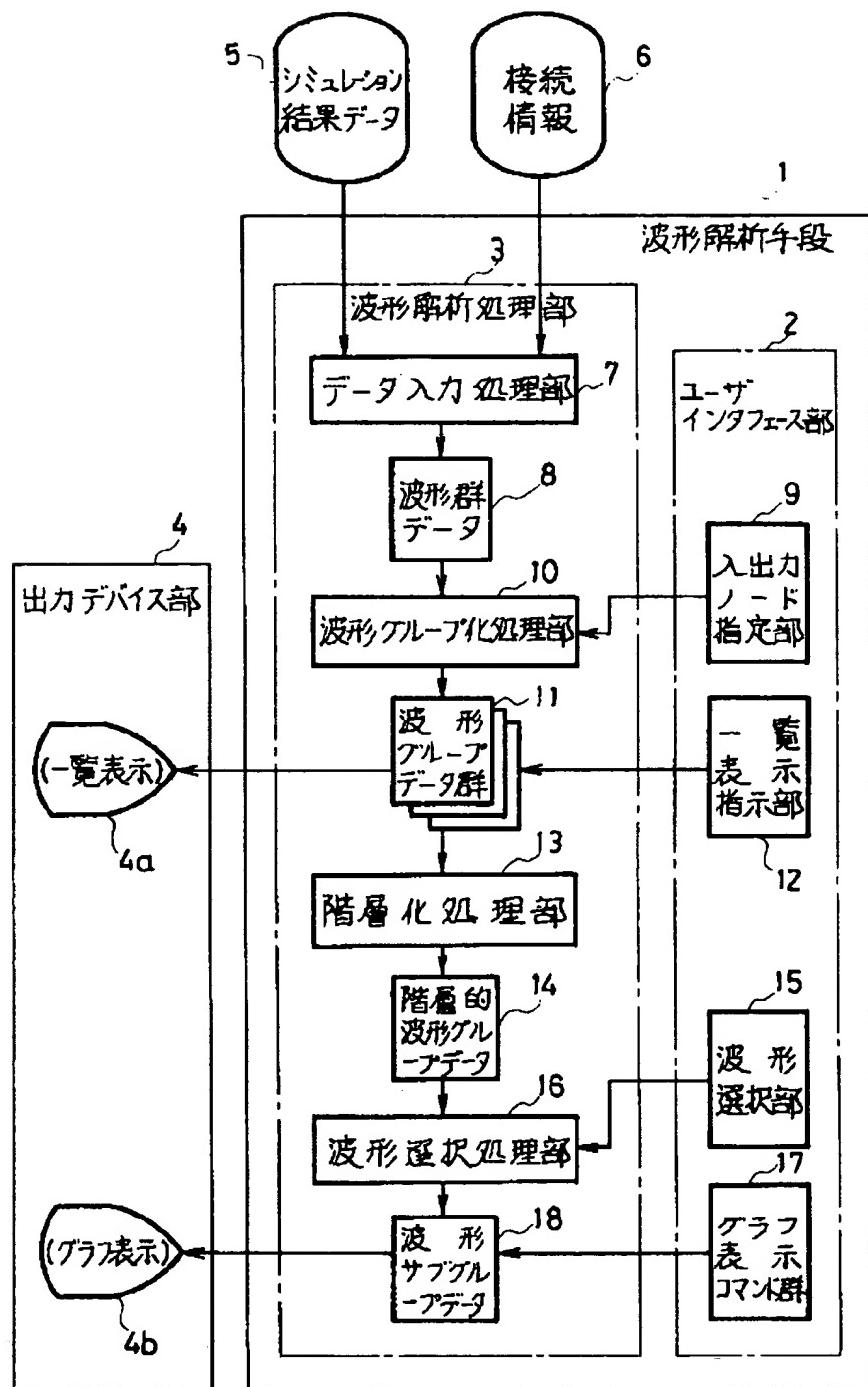
7

8

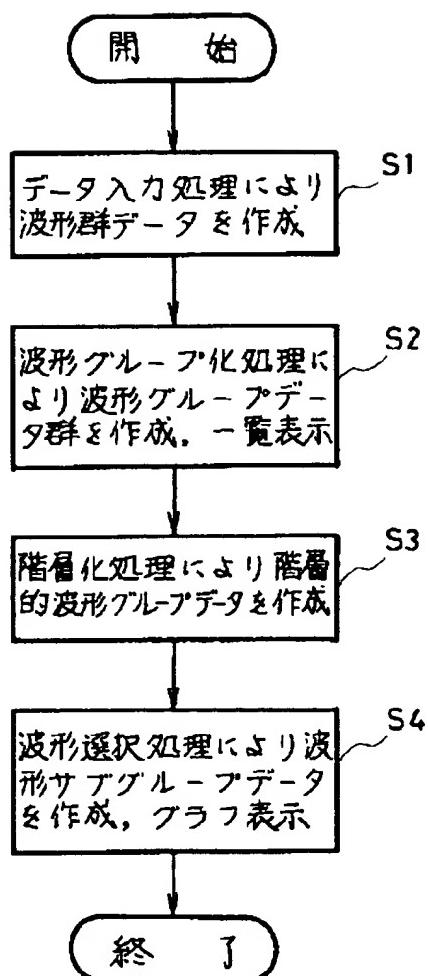
28 プロセス間通信データ
30、31 対応表

S1~S4 ステップ

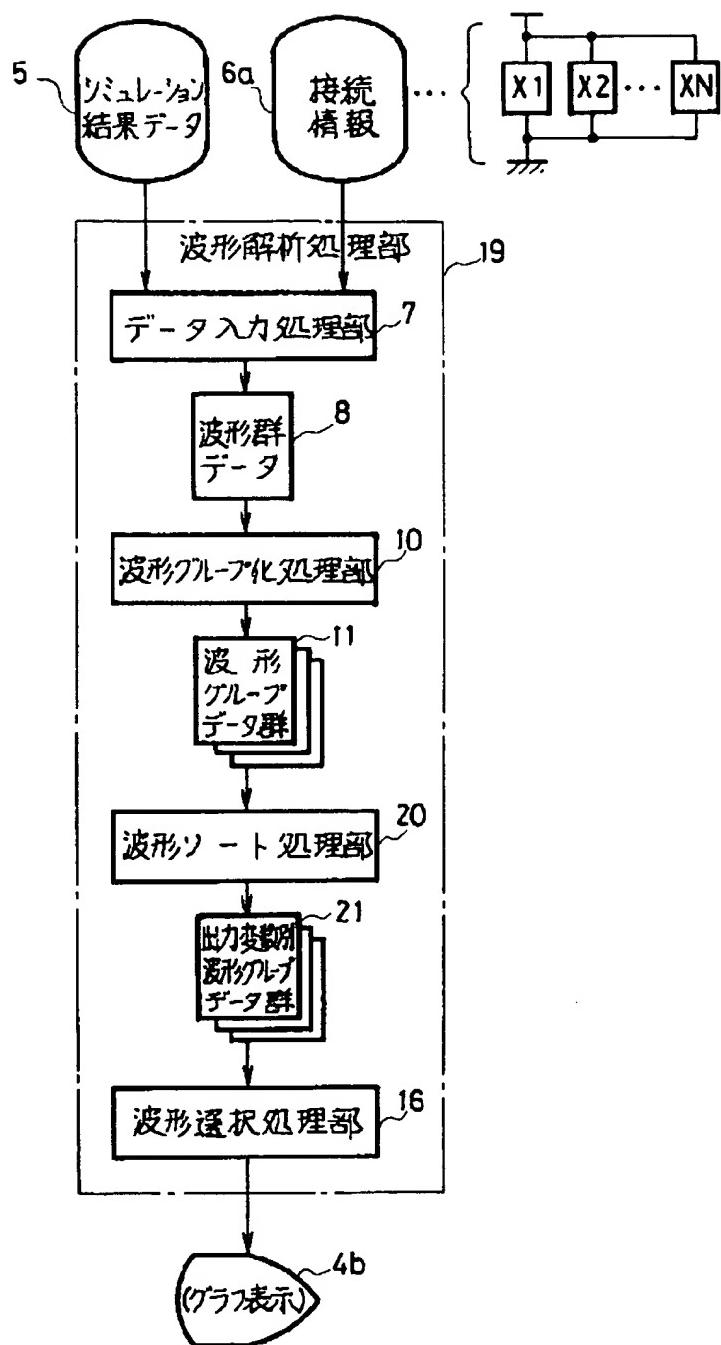
【図1】



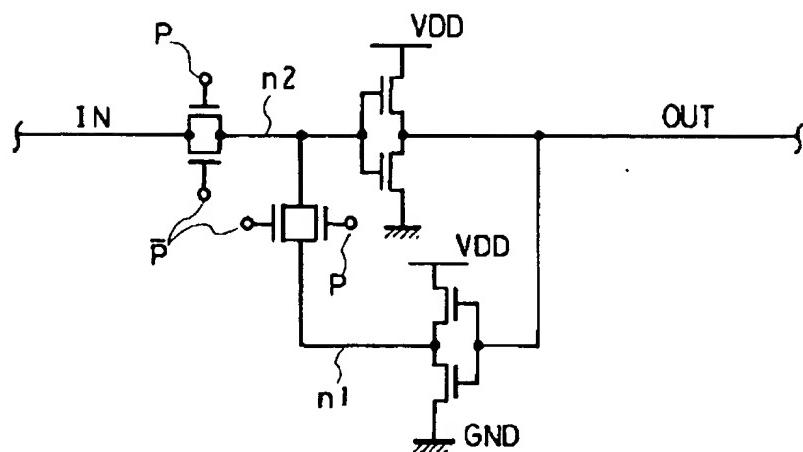
【図2】



【図5】



【図3】



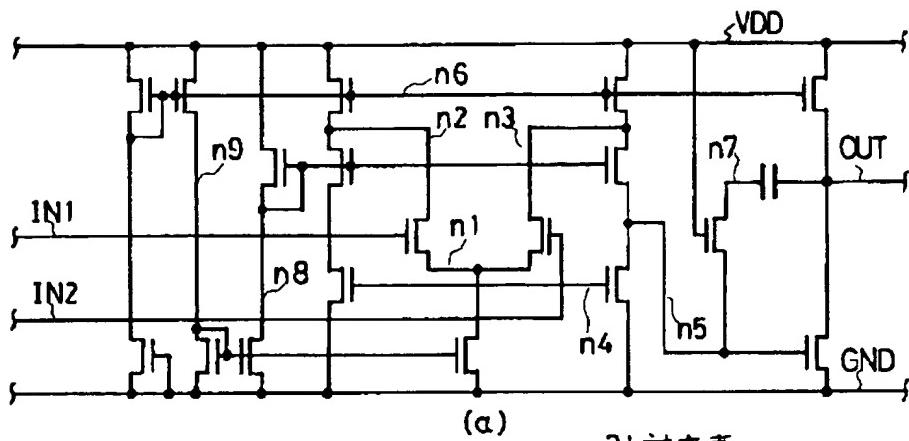
(a)

30 対応表

隣接数	0	1	2	3	
ノード名	IN	Z	n1		
			OUT		
電源		P	VDD		
		P			

(b)

[図4]



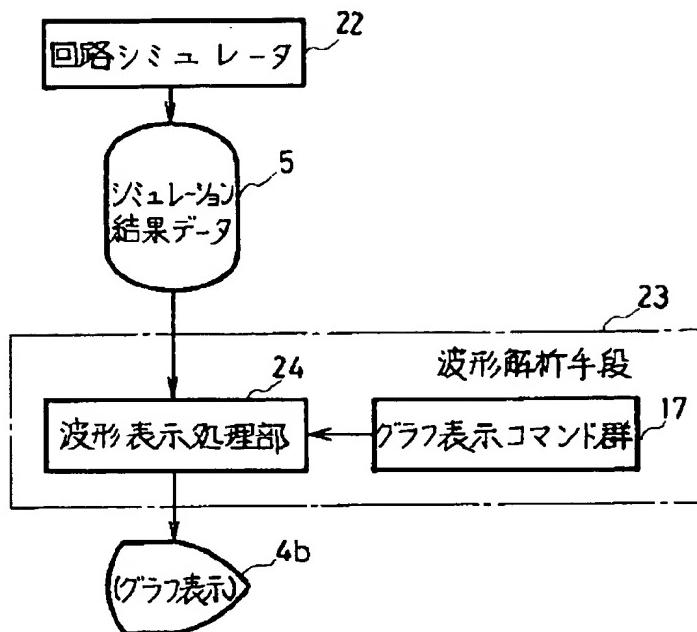
(a)

~31対応表

隣接数	0	1	2	3	4	5
ノード名	IN1	n1	IN2			
			n3	n5 n6 n8		
		n2	n4	n2 n5 n8		
			n6	n2 n3 n9	n1 n6 n8	
			n8	n2 n3 n5 n9		
IN2		n1				
		n3	n5	n3 n4 n7 OUT		
				n6 n8		
電源				VDD GND		

(b)

【図6】



【図7】

